

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-354193

(43)Date of publication of application : 19.12.2000

(51)Int.Cl. H04N 5/228  
H04N 5/907  
H04N 5/92

(21)Application number : 11-164847

(71)Applicant : SONY CORP

(22)Date of filing : 11.06.1999

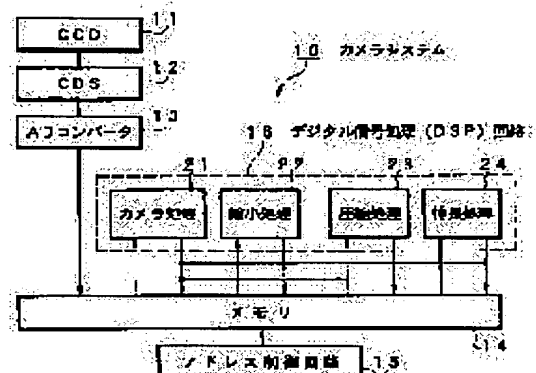
(72)Inventor : TSUCHIDA HIROYASU

## (54) CAMERA SYSTEM AND VIDEO SIGNAL PROCESSOR

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a video signal processing method that can reduce a circuit scale and the power consumption of the camera system, improve the processing speed and reduce the number of times of access to a memory as its contribution.

**SOLUTION:** In the camera system employing a CCD image pickup element 11 for an image pickup device, a memory 14 such as a DRAM directly stores raw data once that are outputted from the CCD image pickup element 11 and converted into digital data by an A/D converter 13 via a correlation double sampling 12 (CCD Raw data). Then the CCD Raw data are read from the memory 14 in the unit of blocks, a camera signal processing section 21 applies camera signal processing to the data and a reduction processing section 22 conducts reduction processing and a compression processing section 23 applies compression processing to the data after the camera signal processing in the unit of blocks.



## LEGAL STATUS

[Date of request for examination] 19.01.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-354193

(P2000-354193A)

(43) 公開日 平成12年12月19日 (2000. 12. 19)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
H 0 4 N	5/228	H 0 4 N	5/228
	5/907		5/907
	5/92		5/92
			Z 5 C 0 2 2
			B 5 C 0 5 2
			H 5 C 0 5 3

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平11-164847

(22) 出願日 平成11年6月11日 (1999. 6. 11)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 土田 博康

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

Fターム (参考) 5C022 AA13 AB67 AC42 AC69

5C052 GA02 GB06 GC05 GED4

5C053 FA08 FA27 GB01 GB36 GB37

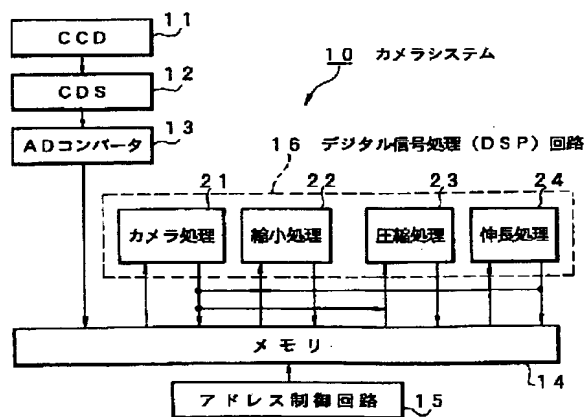
KA03 LA11

(54) 【発明の名称】 カメラシステムおよび映像信号処理方法

(57) 【要約】

【課題】 カメラ信号処理や縮小処理を行う際に、一旦ディレイラインメモリに画素データを格納し、その格納した画素データを用いて処理を行ったのでは、ディレイラインメモリが必要となるため、回路が大規模なものになるとともに消費電力が増大する。

【解決手段】 CCD撮像素子11を撮像デバイスとして用いたカメラシステムにおいて、CCDRawデータを直接DRAM等のメモリ14に一旦格納し、その後CCDRawデータをメモリ14からブロック単位で読み出してカメラ信号処理部21でカメラ信号処理を行うとともに、カメラ信号処理後のデータに対してブロック単位で縮小処理部22での縮小処理や圧縮処理部23での圧縮処理を行うようにする。



## 【特許請求の範囲】

【請求項 1】 固体撮像素子を撮像デバイスとして用いたカメラシステムであって、前記固体撮像素子の出力信号をデジタル化して得られる生データを格納するメモリと、前記メモリに格納された生データをブロック単位で読み出してカメラ信号処理を行うとともに、この処理後のデータに対してブロック単位で少なくとも画像縮小、画像圧縮の処理を行う信号処理回路とを備えたことを特徴とするカメラシステム。

【請求項 2】 前記メモリとして、システム全体の処理に用いられるメモリを兼用したことを特徴とする請求項 1 記載のカメラシステム。

【請求項 3】 前記信号処理回路内の各処理部は各々レジスタを有し、次のブロックの処理に必要な情報を各レジスタに格納して保持することを特徴とする請求項 1 記載のカメラシステム。

【請求項 4】 モニタリングモード時に、前記固体撮像素子の出力信号をデジタル化して得られる生データに対して水平方向での縮小処理を行って前記メモリに供給する前段処理回路を有することを特徴とする請求項 1 記載のカメラシステム。

【請求項 5】 前記前段処理回路の縮小率が可変であり、前記固体撮像素子の有効画素領域のうちの一部分の領域の画素情報のみを読み出したときの一部切り出し画像をモニタリングする際に、前記前段処理回路の縮小率を、該一部切り出し画像を静止画として記録する際の縮小率よりも小さく設定することを特徴とする請求項 4 記載のカメラシステム。

【請求項 6】 外部から与えられるデジタル化された映像信号を一旦メモリに格納し、その後前記メモリからブロック単位で読み出してカメラ信号処理を行うとともに、この処理後のデータに対してブロック単位で少なくとも画像縮小、画像圧縮の処理を行うことを特徴とする映像信号処理方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、カメラシステムおよび映像信号処理方法に関し、特に画像圧縮／伸長などの処理機能を備えたカメラシステム、および映像信号に対して圧縮／伸長処理などの処理を行う映像信号処理方法に関する。

## 【0002】

【従来の技術】図 12 は、撮像デバイスとして固体撮像素子、例えば CCD (Charge Coupled Device) 撮像素子を用いたカメラシステムの従来例を示すブロック図である。

【0003】この従来例に係るカメラシステムは、CCD 撮像素子 101、相関二重サンプリング (CDS) 回路 102、AD コンバータ 103、ラインメモリ 10

4、デジタル信号処理 (DSP) 回路 105 およびメモリ 106 を有する構成となっている。また、デジタル信号処理回路 105 は、図 13 に示すように、カメラ信号処理部 111、縮小処理部 112 および圧縮／伸長処理部 113 等によって構成されている。

【0004】上記構成の従来例に係るカメラシステムにおいて、CCD 撮像素子 101 は、1 画面を構成する各画素の信号を、図 14 のような順序で出力する。この CCD 撮像素子 101 の出力信号は、その出力部でのリセット時に発生するリセット雑音が相関二重サンプリング回路 102 で除去された後、AD コンバータ 103 でデジタル化され、ラインメモリ 104 を経由してデジタル信号処理回路 105 に供給される。

【0005】ここで、CCD 撮像素子 101 から出力され、相関二重サンプリング回路 102 を経て DA コンバータ 103 でデジタル化された生データを、CCD Raw データと称するものとする。

【0006】デジタル信号処理回路 105 において、カメラ信号処理部 111 では、CCD Raw データを輝度データ Y および色差データ CbCr (以下、YCbCr データと記す) や、R (赤) G (緑) B (青) データに変換する処理が行われる。この変換処理の際には、高画質化を図る上で一般的に、1 つの画素の信号に対してその上下左右の周辺画素の信号を用いることから、垂直方向に 2～5 ライン程度の画素の信号が必要となり、そのためラインメモリ 104 が用いられる。ここで、ラインとは、水平方向に並ぶ画素列を言うものとする。

【0007】図 15 に、ラインメモリ 104 の具体的な構成例を示す。この構成例では、例えばあるラインの画素についてその上下 2 ラインずつの画素データを用いる場合を例に採っている。したがって、計 5 ライン分の画素データが必要であることから、4 本の水平ディレイラインメモリ 121～124 が用いられることになる。ここで、水平ディレイラインメモリとは、水平 1 ライン分の画素データを格納できるメモリであり、先述したように、垂直方向に画素データが必要な場合に用いられる。

【0008】また、カメラ信号処理部 111 でのカメラ信号処理の場合に限らず、縮小処理部 112 での縮小 (又は、拡大) 処理の場合にも、図 16 に示すように、垂直方向の縮小のためにラインメモリを用いて処理を行っていた。ここでは、例えば、あるラインの画素についてその上下 3 ラインずつの画素データを用いる場合を例に採っており、したがって 6 本の水平ディレイラインメモリ 131～136 が用いられている。

## 【0009】

【発明が解決しようとする課題】上述したように、従来のカメラシステムでは、カメラ信号処理や縮小 (又は、拡大) 処理を行う際に、一旦ディレイラインメモリに画素データを格納し、その格納した画素データを用いて処理を行っていたので、水平ディレイラインメモリがカメ

ラ信号処理の場合には4本程度、縮小／拡大処理の場合には1本～20本程度必要であり、したがって回路が大規模なものになるとともに消費電力が増大し、さらにはCCD撮像素子101の画素数が増加するにつれて水平ディレイラインメモリの容量が問題となる。

【0010】また、圧縮／伸長処理部113でJPEG、MPEGなどの画像圧縮の処理を行う際には、カメラ信号処理部111で信号処理したデータを一旦メモリ106に格納し、それを圧縮処理に合わせたアドレスで読み出すことによって圧縮処理を行っていたため、処理に時間がかかるとともに、メモリ106へのアクセス回数も多く問題であった。縮小／拡大処理を行う場合にも同様に、JPEGやMPEGの伸長処理したデータを一旦メモリ106に格納し、それを縮小／拡大処理に合わせたアドレスで読み出していたため、処理に時間がかかるとともに、メモリ106へのアクセス回数も多く問題であった。

【0011】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、最小限の回路規模で実現できるとともに、消費電力を大幅に低減でき、さらには処理速度の大幅な向上およびメモリへのアクセス回数の大幅な低減が可能なカメラシステムを提供することにある。

【0012】本発明はさらに、システムの回路規模の縮小化および低消費電力化、さらには処理速度の大幅な向上およびメモリへのアクセス回数の大幅な低減に寄与し得る映像信号処理方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明によるカメラシステムは、固体撮像素子を撮像デバイスとして用いたカメラシステムであって、固体撮像素子の出力信号をデジタル化して得られる生データを格納するメモリと、このメモリに格納された生データをブロック単位で読み出してカメラ信号処理を行うとともに、この処理後のデータに対してブロック単位で少なくとも画像縮小、画像圧縮の処理を行う信号処理回路とを備えた構成となっている。

【0014】また、本発明による映像信号処理方法では、外部から与えられるデジタル化された映像信号を一旦メモリに格納し、その後当該メモリからブロック単位で読み出してカメラ信号処理を行うとともに、この処理後のデータに対してブロック単位で少なくとも画像縮小、画像圧縮の処理を行うようにする。

【0015】上記構成のカメラシステムまたは映像信号処理方法において、固体撮像素子の出力信号をデジタル化して得られる生データまたは外部から与えられるデジタル化された映像信号を一旦メモリに格納し、その後ブロック単位で各種の信号処理を実行することで、カメラ信号処理や縮小（又は、拡大）処理を行う際にディレイラインメモリを用いなくて済むことになる。また、メモリへのアクセス回数も大幅に減ることになる。

【0016】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明の一実施形態に係るカメラシステムの構成を示すブロック図であり、例えばデジタルスチルカメラに適用した場合を例に採って示している。

【0017】図1において、本実施形態に係るカメラシステム10は、撮像デバイスとしての固体撮像素子、例えばCCD撮像素子11と、このCCD撮像素子11の出力信号のリセット雑音を除去する相関二重サンプリング（CDS）回路12と、この相関二重サンプリング回路12を経たCCD出力信号をデジタルデータに変換するDAコンバータ13と、このDAコンバータ13からのCCDRawデータを一旦格納するメモリ14と、このメモリ14のアドレスを指定するアドレス制御回路15と、各種の信号処理をデジタル的に行うデジタル信号処理（DSP）16とを有する構成となっている。

【0018】上記構成のカメラシステム10において、CCD撮像素子11としては、例えば、PS（全画素独立読み出し）・IS（インターレース）方式の素子が用いられる。また、メモリ14としては、例えばDRAMが用いられる。このDRAMとしては、例えば、本システム全体の制御を司るマイクロコンピュータ（図示せず）の処理などに利用されるDRAMが兼用される。

【0019】デジタル信号処理回路16は、カメラ信号処理部21、縮小処理部22、圧縮処理部23および伸長処理部24等によって構成されている。このデジタル信号処理回路16において、カメラ信号処理部21は、一旦メモリ14に格納されたCCDRawデータを、アドレス制御回路15によるアドレス指定のもとに、所定範囲のブロック単位で読み出してカメラ信号処理を行う。このカメラ信号処理では、CCDRawデータをYCbCrデータやRGBデータに変換する処理が行われる。その具体的な処理については、後で詳細に説明する。

【0020】また、デジタル信号処理回路16において、カメラ信号処理部21、縮小処理部22、圧縮処理部23および伸長処理部24は各々、ローカルメモリとして機能するレジスタを有している。そして、カメラ信号処理部21でCCDRawデータをブロック単位で処理するようにしたことで、カメラ信号処理部21と縮小処理部22および圧縮処理部23との間、並びに伸長処理部24と縮小処理部22との間でメモリ14を経由せずに直接にブロック単位のデータのやり取りが行えるようになっている。

【0021】続いて、デジタル信号処理回路16における各処理部21～24の具体的な動作について説明する。

【0022】まず、カメラ信号処理部21では、図2に示すように、メモリ14に一旦格納されたCCDRawデータを、処理に必要な水平画素数×処理に必要な垂直画

素数のブロックで読み出し、このブロックごとに例えば水平垂直共に5画素のCCDRaw データから1画素のYCbCr データ（又は、RGB データ）を生成するためのカメラ信号処理を行う。

【0023】このカメラ信号処理の際のブロック単位でのCCDRaw データの読み出しは、アドレス制御回路15からのアドレス指定によって実行される。また、カメラ信号処理後のデータは、次の処理に必要な水平画素数×次の処理に必要な垂直画素数のブロック単位で出力される。

【0024】具体的には、ブロック単位でカメラ信号処理を行うに際して、水平垂直共に5画素のCCDRaw データから1画素のYCbCr データを生成するためには、処理対象のブロックに隣接する左右のブロックの各ライン2画素分ずつの画素データおよび上下のブロックの各2ライン分ずつの画素データが必要となる。

【0025】すなわち、図3において、左右で隣接する2つのブロックにおいて、隣接する2画素分ずつ、計4画素分の画素データ（図中、散点領域で示す）が、左右2ブロックのカメラ信号処理の際に必要となり、同様に、上下で隣接する2つのブロックにおいて、隣接する2ライン分ずつ、計4ライン分の画素データ（図中、散点領域で示す）が、上下2ブロックのカメラ信号処理の際に必要となる。

【0026】したがって、メモリ14に格納されたCCDRaw データをブロック単位で読み出すに当たっては、図3において、水平方向において隣接処理ブロックと重なる部分（図中、散点領域）のCCDRaw データについては、今回の処理ブロックの際と次回の処理ブロックの際の計2回読み出されることになる。一方、垂直方向において隣接処理ブロックと重なる部分（図中、散点領域）のCCDRaw データについては、ローカルメモリであるレジスタに格納されることになる。

【0027】そして、カメラ信号処理部21において、水平垂直共に5画素のCCDRaw データから1画素のYCbCr データ（又は、RGB データ）を生成するためのカメラ信号処理がブロック単位で行われる。このカメラ信号処理によって生成されたYCbCr データ（又は、RGB データ）は、図4に示す順序で順にブロック単位で出力される。

【0028】カメラ信号処理部21から出力されたブロック単位の画像データは、カメラ信号処理に引き続いて縮小処理あるいは圧縮処理が行われる場合には、縮小処理部22あるいは圧縮処理部23に直接供給される。これらの処理が引き続いて行われない場合には、カメラ信号処理部21から出力されたブロック単位の画像データは、メモリ14に格納されることになる。

【0029】一例として、カメラ信号処理に引き続いて圧縮処理が行われるものとする、YCbCr 4:2:2のJPEGの画像圧縮を想定した場合に、図5に示す

ように、ブロック単位の入力データを水平20画素垂直12画素（以下、水平x画素垂直y画素の表記をx×yと略す）のCCDRaw データとし、このCCDRaw データを16×8のブロックのYCbCr データとして直接圧縮処理部23に与えるようにする。

【0030】この16×8のブロックのYCbCr データを受けて、圧縮処理部23は、図6に示すように、画像圧縮処理を周知のJPEG圧縮技術によって実行し、JPEG圧縮データを出力する。この圧縮処理部23から出力されたJPEG圧縮データは、メモリ14に格納されることになる。

【0031】次に、縮小処理部21での処理について説明する。

【0032】図7は、縮小処理部21の具体的な構成の一例を示すブロック図である。図7において、縮小処理部21は、水平LPF（ローパスフィルタ）211、水平間引き回路212、ローカルメモリとしての機能を持つレジスタ213、垂直LPF 214および垂直間引き回路215を有する構成となっている。

【0033】画像の縮小処理は、水平方向および垂直方向において画素データを間引くことによって実現できる。しかしながら、単に画素データを間引いたのでは画質が劣化することから、一般的に、LPFを用いることによって周辺画素の画素データに対して適切な係数を掛け、これらの画素データを用いて1つの画素データを生成するフィルタリング処理を行うことで、画質の向上を図っている。

【0034】水平LPF 211および垂直LPF 214は、この画質向上のために設けられたものである。そして、水平LPF 211でフィルタリング処理が行われたブロックのデータに対して、水平間引き回路212で水平方向の間引き処理が行われる。この水平LPF 211および水平間引き回路212で処理されたブロックのデータのうち、次のブロックで必要となる当該ブロックと隣接する画素の画素データは、レジスタ213に格納される。

【0035】水平方向の間引き処理が行われた画像データは、引き続き垂直LPF 214でフィルタリング処理が行われる。この垂直LPF 214でのフィルタリング処理では、処理対象のブロックに対してその上下の2つのブロックの画像データも必要となることから、計3ブロックの画像データの各々に対して3ステップでフィルタリング処理が行われる。

【0036】垂直LPF 214において、各ステップごとに行われるフィルタリング処理の結果は、メモリ14に一時的に格納され、次のステップのフィルタリング処理の際にメモリ14から読み出されて利用される。そして、垂直LPF 214で垂直方向のフィルタリング処理が行われたブロックのデータに対して、垂直間引き回路215で垂直方向の間引き処理が行われ、最終的な縮小

画像データとして出力される。

【0037】一例として、図8に示すように、カメラ信号処理部21から縮小処理部22に $16 \times 8$ のブロックのYCbCrデータが直接入力され、これを $1/2$ 倍に縮小処理するものとする、 $8 \times 4$ のブロックのデータが、縮小画像データとして出力されることになる。縮小処理部22から出力された縮小画像データは、メモリ14に格納されることになる。

【0038】これまでの説明では、カメラ信号処理に引き続いて圧縮処理と縮小処理とが別々に行われることを前提としたが、カメラ信号処理に引き続いて圧縮処理と縮小処理とを並行して行うことも可能であることは勿論である。

【0039】一例として、YCbCr4:2:0をJPEGを想定した場合、図9に示すように、先ずメモリ14に格納されているCCDRawデータを $20 \times 20$ のブロックでカメラ信号処理部21に読み出し、カメラ信号処理部21ではカメラ信号処理を行った後 $16 \times 16$ のブロックのYCbCrデータとして縮小処理部22および圧縮処理部23にブロック単位で与える。そして、縮小処理部22は先述した手順で縮小処理を行って縮小データを出力し、圧縮処理部23は周知のJPEG圧縮技術で圧縮処理を行ってJPEG圧縮データを出力する。

【0040】なお、上述した画像圧縮では、JPEGの場合を例に採って説明したが、MPEGの場合にも同様なブロックでの圧縮であるので、同様な処理手法を用いることができる。

【0041】また、処理速度を向上するために、YCbCr4:2:2の場合、CCDRawデータを $36 \times 12$ のブロックで読み出し、カメラ信号処理後 $32 \times 8$ のブロックのYCbCrデータとして出力したり、YCbCr4:2:0の場合、CCDRawデータを $36 \times 20$ のブロックで読み出し、カメラ信号処理後 $32 \times 16$ のブロックのYCbCrデータとして出力したりして処理する方法もある。

【0042】すなわち、カメラ信号処理において、水平x画素、垂直y画素（本例では、 $x=5$ 、 $y=5$ ）から1画素を生成している場合には、

YCbCr4:2:2 → CCDRaw: 水平 $[n \times 16 + x - 1]$  垂直 $7 + y$

YCbCr : 水平 $[n \times 16]$  垂直8

YCbCr4:2:0 → CCDRaw: 水平 $[n \times 16 + x - 1]$  垂直 $15 + y$

YCbCr : 水平 $[n \times 16]$  垂直16

の画素のブロックを処理するようにすれば良い。ここで、nは正の整数であり、現実的には、 $n=1, 2, 4, 8$ となる。

【0043】また、伸長処理部24においても、縮小処理部22および圧縮処理部23と同様に、ブロック単位での伸長処理が行われる。すなわち、メモリ14に格納されているブロック単位の圧縮データを読み出して伸長処理を行う。このとき、図10に示すように、縮小処理

部22が受け付けられる構造、本例の場合には、 $16 \times 8$ のブロックの伸長データを生成するようにする。

【0044】上述したように、固体撮像素子、例えばCCD撮像素子11を撮像デバイスとして用いたカメラシステム10において、CCDRawデータを直接DRAM等のメモリ14に一旦格納し、その後CCDRawデータをメモリ14からブロック単位で読み出してカメラ信号処理を行うとともに、カメラ信号処理後のデータに対してブロック単位で縮小処理や圧縮処理を行うようにしたことにより、次のような作用効果が得られる。

【0045】すなわち、ライン単位ではなくブロック単位で信号処理を行うことにより、カメラ信号処理や縮小（又は、拡大）処理を行う際にディレイラインメモリを用いなくて済むため、回路規模を小さくできるとともに、その分だけ消費電力を低減でき、しかもCCD撮像素子11の画素数が増えてもそれに左右されることはなく、あらゆる画素数に対応可能となる。

【0046】また、カメラ信号処理から次の処理に移行する際にメモリ14が介在しないため、カメラ信号処理から圧縮処理までの処理速度を大幅に向上でき、しかもカメラ信号処理、圧縮処理をしながら縮小処理、あるいは伸長処理をしながら縮小処理を行うことができ、よってメモリ14へのアクセス回数を大幅に削減できるとともに、システム全体の消費電力を大幅に低減できる。

【0047】図11は、例えばデジタルスチルカメラに適用した本発明の他の実施形態に係るカメラシステムの構成を示すブロック図であり、図中、図1と同等部分には同一符号を付して示してある。本実施形態に係るカメラシステム10'は、ADコンバータ13とメモリ14との間に前段処理回路17が新たに設けられた構成となっており、それ以外は先の実施形態に係るカメラシステム10の場合と同じである。

【0048】また、本実施形態に係るカメラシステム10'は、モニタリング機能を備えたカメラシステムとなっている。ところで、CCD撮像素子11の画素数が多くなればなる程フレームレートが落ちる。したがって、モニターに動画を映し出すモニタリングモード時には、フレームレートを上げる必要があることから、CCD撮像素子11では、所望のフレームレートを得るために信号電荷を間引いて読み出す処理が行われる。

【0049】この間引き処理は、モニタリングモード時に、CCD撮像素子11の各画素の信号電荷を読み出す際に、垂直方向において信号電荷の読み出しをライン単位で所定の割合で間引く、一例として、6ラインごとに1ラインを間引く処理が行われる。ただし、この間引き処理は垂直方向についてだけである。したがって、このままの撮像信号を用いてモニタリングを行ったのでは、垂直方向だけが圧縮された画面となり、所望のアスペクト比を確保できないことになる。

【0050】そこで、本実施形態においては、モニタリ

ングモード時に、垂直方向の間引きに伴ってCCD撮像素子11から出力され、相関二重サンプリング回路12を経てADコンバータ13でデジタル化されたCCDRawデータに対して、前段処理回路17において水平方向の間引き(縮小)処理をアスペクト比に対応して行った後、メモリ14に格納する構成を採っている。すなわち、この前段処理回路17は、モニタリングモード時のみ機能し、通常の撮像モード時にはCCDRawデータに対して何ら処理を行うことなくメモリ14に供給する。

【0051】なお、CCD撮像素子11には1画素につき1色の対応関係で所定のカラーコーディングの色フィルタが配されているため、前段処理回路17で水平方向の縮小(間引き)を行う際には、後のカメラ信号処理の際に混色が生じないように、色配列を考慮してその処理を行う必要がある。その処理には周知の処理方法を用いることで実現でき、その具体例については本発明の要旨とするところではないので、ここではその説明については省略する。

【0052】このように、モニタリングモード時には、垂直方向の間引きに伴うCCDRawデータに対して、前段処理回路17で水平方向の縮小(間引き)処理を行った後に、メモリ14に格納するようにしたことで、メモリ14には所定のアスペクト比に対応したCCDRawデータが格納されることになるため、以降のカメラ信号処理などの際のメモリ14に対するアクセス回数を大幅に減らすことができ、それに伴って処理速度の高速化が図れるとともに、システム全体の低消費電力化に寄与できる。

【0053】また、本実施形態に係るカメラシステムには、CCD撮像素子11で撮像した撮像画面の一部分、即ちCCD撮像素子11の有効画素領域のうちの一部分の領域の画素情報のみを読み出すいわゆる一部切り出しの機能も備えられている。この一部切り出しの場合にも、垂直方向での間引きおよび水平方向での縮小の各処理が行われ、これら各処理が行われたCCDRawデータがメモリ14に格納される。そして、このCCDRawデータに基づいて一部切り出しの画像を記録媒体に静止画として記録する処理が行われる。

【0054】ところが、一部切り出しの画像をモニタリングする際は、垂直方向での間引きおよび水平方向での縮小が行われ、メモリ14に格納されたCCDRawデータに基づいてモニタリングを行ったのでは、記録媒体に記録する画サイズとモニター上の画サイズとが一致しないことになる。そのために、切り出した画像が、モニターの画面全体に亘って表示されるように、CCDRawデータに対して拡大処理を施す必要がある。

【0055】これに対応できるようにするために、前段処理回路17は、水平方向の縮小を行う際の縮小率が可変な構成となっている。そして、前段処理回路17で

は、一部切り出しの画像をモニタリングする際に、その縮小率が静止画として記録する際の縮小率よりも小さくなるように設定される。このときの縮小率は、モニターの横方向(水平方向)の画面サイズに応じて決定される。

【0056】これにより、一部切り出しの画像をモニタリングする際に、その画像についてのCCDRawデータが、前段処理回路17において水平方向で拡大されてメモリ14に格納されたことと等価となる。したがって、メモリ14に格納されたCCDRawデータに基づいてモニタリングを行っても、モニター上には横方向(水平方向)において画面全体に一部切り出しの画像が表示される。

【0057】このとき、垂直方向に関しては、メモリ14に格納されたCCDRawデータについて、モニターの縦方向(垂直方向)の画面サイズに対応した割合で、一例として、3ラインごとに2ラインずつ、この2ラインのデータを繰り返して読み出すことにより、一部切り出しの画像を垂直方向に拡大したことと等価となり、モニター上には縦方向においても画面全体に一部切り出しの画像が表示される。その結果、記録媒体に記録する画サイズとモニター上の画サイズとを一致させることができる。

【0058】なお、上記各実施形態では、CCD撮像素子11を撮像デバイスとして用いたカメラシステムにおいて、CCD撮像素子11から入力される映像信号(CCDRawデータ)を処理する場合について述べたが、カメラシステムにおける映像信号の処理に限らず、メモリなどに予め格納してある画像データに対しても同様の処理を適用することが可能である。したがって、出力データについても、メモリに格納しても良いし、出力端子を介して外部へ出力するようにしても良い。

【0059】また、上記各実施形態では、システム構成を図1および図11に示すようにハードウェアで実現するとしたが、同様の機能をソフトウェアで実現することも可能である。ソフトウェアで実現した場合には、CCDRawデータを直接キャッシュメモリに一旦格納し、その後CCDRawデータを当該メモリからブロック単位で読み出してカメラ信号処理を行うとともに、カメラ信号処理後のデータに対してブロック単位で縮小処理や圧縮処理を行うことで、キャッシュメモリの使用容量を少なくすることができ、さらにはメモリアクセス回数を低減できるとともに処理速度を向上できる。

【0060】

【発明の効果】以上説明したように、本発明によれば、固体撮像素子の出力信号をデジタル化して得られる生データまたは外部から与えられるデジタル化された映像信号を一旦DRAM等のメモリに格納し、その後ブロック単位で各種の処理を実行するようにしたことにより、カメラ信号処理や縮小(又は、拡大)処理を行う際にディ



11

レイラインメモリを用いなくて済むため、回路規模を小さくできるとともに、その分だけ消費電力を低減でき、さらには処理速度を大幅に向上できるとともに、メモリへのアクセス回数も大幅に低減できることになる。

【図面の簡単な説明】

【図 1】 本発明の一実施形態に係るカメラシステムの構成を示すブロック図である。

【図 2】 カメラ信号処理での入出力データブロックのサイズを示す図である。

【図 3】 カメラ信号処理の際にメモリから読み出す CCD Raw データの状態を示す図である。

【図 4】 カメラ信号処理後の出力データの状態を示す図である。

【図 5】 YCbCr 4:2:2 の JPEG の画像圧縮を想定した場合のカメラ信号処理での入出力データブロックのサイズを示す図である。

【図 6】 圧縮処理での入出力データブロックのサイズを示す図である。

【図 7】 縮小処理部の具体的な構成の一例を示すブロック図である。

【図 8】 縮小処理での入出力データブロックのサイズを示す図である。

【図 9】 YCbCr 4:2:0 の JPEG を想定した場合

12

\* 合のカメラ信号処理、圧縮処理および縮小処理での入出力データブロックのサイズを示す図である。

【図 10】 伸長処理での入出力データブロックのサイズを示す図である。

【図 11】 本発明の他の実施形態に係るカメラシステムの構成を示すブロック図である。

【図 12】 カメラシステムの従来例を示すブロック図である。

【図 13】 デジタル信号処理回路の構成を示すブロック図である。

【図 14】 1 画面の CCD 出力信号の順序を示す図である。

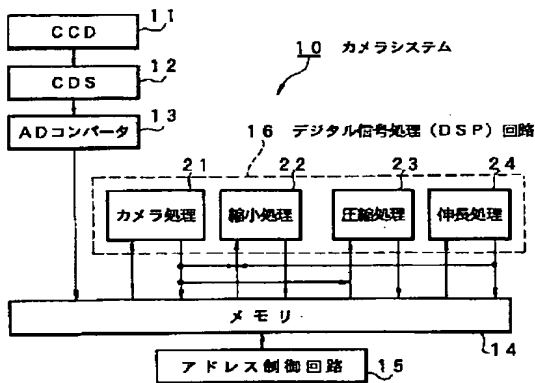
【図 15】 カメラ信号処理用ラインメモリの構成例を示すブロック図である。

【図 16】 縮小（又は、拡大）処理用ラインメモリの構成例を示すブロック図である。

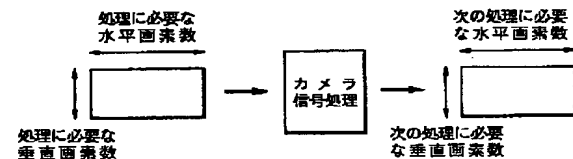
【符号の説明】

10、10' …カメラシステム、11…CCD 撮像素子、12…相関二重サンプリング (CDS) 回路、13…AD コンバータ、14…メモリ、15…アドレス制御回路、16…デジタル信号処理 (DSP) 回路、17…前段処理回路、21…カメラ信号処理部、22…縮小処理部、23…圧縮処理部、24…伸長処理部

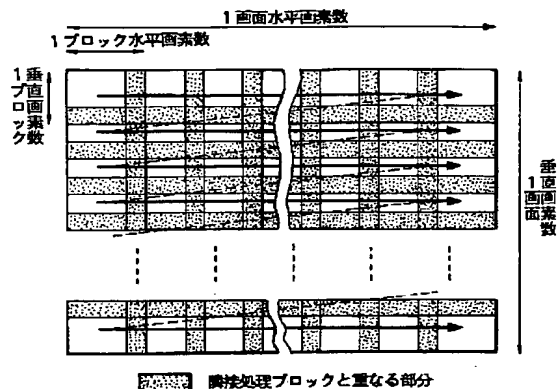
【図 1】



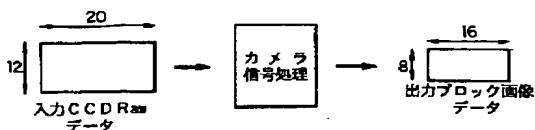
【図 2】



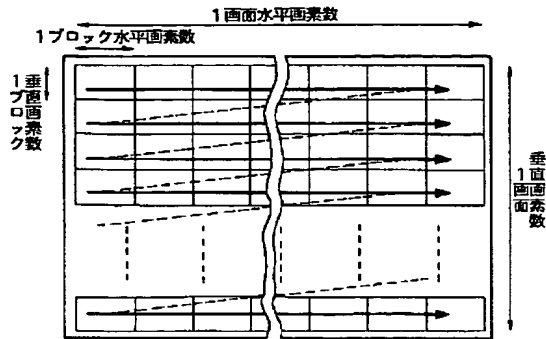
【図 3】



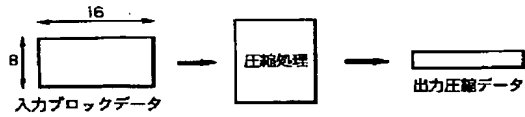
【図 5】



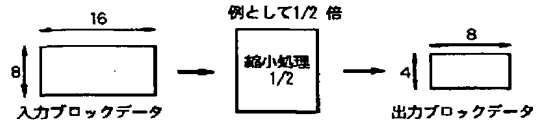
【図4】



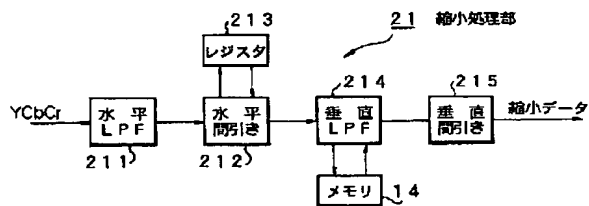
【図6】



【図8】



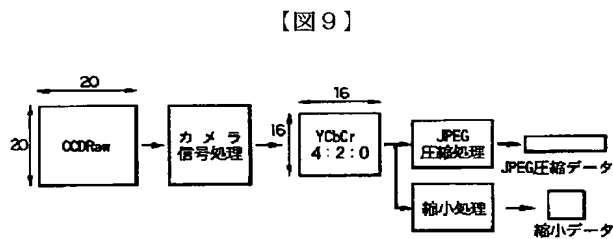
【図7】



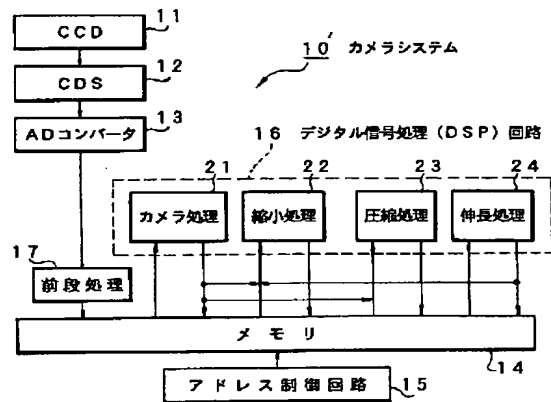
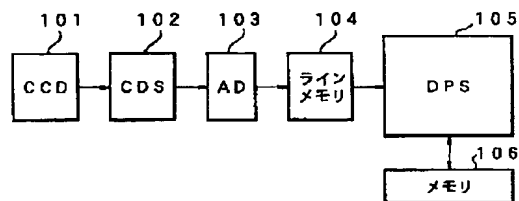
【図10】



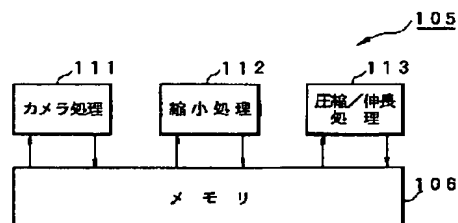
【図11】



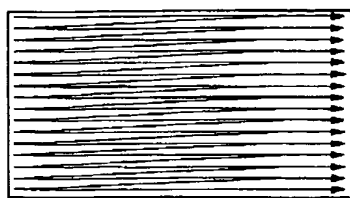
【図12】



【図13】

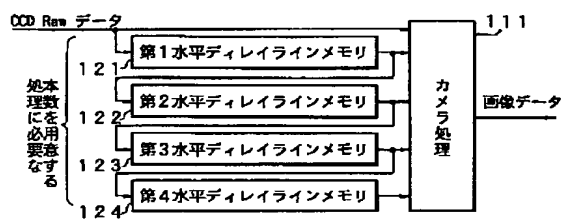


【図14】



1画面のCCD出力信号の順序

【図15】



【図16】

